

⑫ 公開特許公報(A)

平2-259954

⑬ Int. Cl.⁵

G 06 F 13/42

識別記号

3 5 Q C

庁内整理番号

8840-5B

⑭ 公開 平成2年(1990)10月22日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 入出力バスサイクル制御回路

⑯ 特 願 平1-81223

⑰ 出 願 平1(1989)3月31日

⑱ 発 明 者 長 谷 川 泰 之 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 越 場 隆

明 細 書

1. 発明の名称 入出力バスサイクル制御回路

2. 特許請求の範囲

マイクロプロセッサに制御されるシステムの入出力バスサイクルの終了から次の入出力バスサイクルの開始までの間にアイドルクロックを挿入する回路において、周辺装置の回復時間を記憶する第1の記憶手段と、前記システムの動作周波数を検知する検知手段端子と、前記第1の記憶手段に格納されている回復時間を前記システムの動作周波数に合わせてアイドルクロック数に変換する変換手段と、前記変換手段により求められたアイドルクロック数を格納する第2の記憶手段とを具備し、システムの動作周波数に変化しても常に適正なアイドルクロックを入出力バスサイクルの間に挿入することを特徴とする入出力バスサイクル制御回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、入出力バスサイクル制御回路に関する。より詳細には、マイクロプロセッサに制御されるシステムで、入出力命令による入出力バスサイクル間にアイドルクロックを挿入することのできる入出力バスサイクル制御回路に関する。

従来の技術

一般に、マイクロプロセッサが入出力命令によって周辺装置をアクセスする場合、入出力バスサイクルとその次の入出力バスサイクルとの間に一定の回復時間を必要とし、この間は同一の周辺装置に対してアクセスを行なってはならない。このため、従来のマイクロプロセッサは、内部に回復時間をクロック数で直接設定できるレジスタを具備していた。このマイクロプロセッサは、1つの入出力バスサイクルが終了すると、このレジスタで設定された数のアイドルクロックを挿入し、その間次の入出力バスサイクルの開始を保留して、

入出力バスサイクル間に回復時間を確保していた。

発明が解決しようとする課題

上記従来のマイクロプロセッサでは、回復時間をクロック数の値により設定している。そのため、設定された回復時間は、そのシステムが動作する周波数により変化してしまう。例えば、ある周波数で動作するシステムに対して適当な回復時間を設定すると、より大きな周波数のもとで動作するシステムに対しては回復時間が短すぎ、逆により小さな周波数のシステムには回復時間が不要に長くなる。そのため、システムが動作する周波数に合わせて回復時間を再度設定する必要があり、そのたびに回復時間を設定するプログラムを修正しなければならなかった。

また、回復時間の再設定を避けるために、予想される最大周波数に合わせた回復時間を設定すると、低い周波数のもとで動作するシステムにこのマイクロプロセッサが用いられた場合、回復時間が必要以上に長くなり、使用するシステムによっ

力バスサイクル制御回路が提供される。

作用

本発明の入出力バスサイクル制御回路は、周辺装置の回復時間を実時間で記憶し、システムの動作クロックに合わせて、アイドルクロック数を設定する。従って、システムの動作クロックが変化しても、入出力バスサイクル間には、常に適正な回復時間が的に設定される。

以下、本発明を実施例により、さらに詳しく説明するが、以下の開示は本発明の単なる実施例に過ぎず、本発明の技術的範囲をなんら制限するものではない。

実施例

本発明の入出力バスサイクル制御回路の第1の実施例のブロック図を第1図に示す。

第1図の入出力バスサイクル制御回路において、変換器103は、周辺装置の回復時間をns(ナノ秒)単位で記憶している回復時間設定レジスタ101の

(2) では、かなりの性質を招くことがある。

そこで本発明の目的は、上記従来技術の問題点を解決した、システムの動作周波数が変化しても回復時間が変わらない入出力バスサイクル制御回路を提供することにある。

課題を解決するための手段

本発明に従うと、マイクロプロセッサに制御されるシステムの入出力バスサイクルの終了から次の入出力バスサイクルの開始までの間にアイドルクロックを挿入する回路において、周辺装置の回復時間を記憶する第1の記憶手段と、前記システムの動作周波数を検知する検知手段端子と、前記第1の記憶手段に格納されている回復時間を前記システムの動作周波数に合わせてアイドルクロック数に変換する変換手段と、前記変換手段により求められたアイドルクロック数を格納する第2の記憶手段とを具備し、システムの動作周波数が変化しても常に適正なアイドルクロックを入出力バスサイクルの間に挿入することを特徴とする入出

内容と、周波数選択端子118、119、120、121の信号状態とを入力とし、回復時間をクロック数に変換する。周波数選択端子118～121には、システムの動作周波数により、スイッチ122が電源線123または接地(GND)線124を接続し、それによって信号“1”または“0”が印加される。変換器103の出力は、回復クロック数指定レジスタ105に出力されて記憶される。回復クロック数指定レジスタ105に記憶されたデータは、データバス106を通してカウンタ107に入力され、カウンタ107はクロック信号111に従ってダウンカウントを行う。バスサイクル制御部109は、周辺機器からの入出力の要求を受け付けるバスサイクル要求部108の出力する要求信号113、114、レディ信号110およびカウンタ107のゼロ検出信号112を受けて各部へ制御信号を出力する。

以下、上記本発明の入出力バスサイクル制御回路の動作を説明する。最初に、回復クロック数指定レジスタ105に格納されている数の回復クロックが、連続する入出力バスサイクルの間に挿入さ

れる動作を説明する。バスサイクル要求部108は周辺機器から入出力の要求を受けると、入出力バスサイクル要求信号114を“1”にし、バスサイクル制御部109に通知する。バスサイクル制御部109は、バスサイクルが起動できる状態にあれば、入出力バスサイクル開始信号117を“1”にして入出力バスサイクルを起動する。この入出力バスサイクルは、レディ信号110が“1”となると終了し、同時に入出力バスサイクル終了信号115が“1”になる。カウンタ107は、入出力バスサイクル終了信号115が“1”になると、回復クロック数指定レジスタ105の内容をデータバス106を通してロードし、クロック信号111に従って、ダウンカウントを行なう。カウンタ107がカウント動作を行なっている間は、カウンタ107のゼロ検出信号112は“0”となる。バスサイクル制御部109はゼロ検出信号112が“0”の間は、入出力バスサイクル要求信号114を受け付けない。

カウンタ107がダウンカウントを終了すると、ゼロ検出信号112が“1”となり、バスサイクル

(3) 制御部109は入出力バスサイクル要求信号114を受け付け、入出力バスサイクルの起動を許可にする。メモリバスサイクル要求信号113は、ゼロ検出信号線112の値にかかわらず、バスサイクル制御部109に受け付けられる。

以上のように本実施例の入出力バスサイクル制御回路は、入出力バスサイクルが連続することであっても、必ずその2つの入出力バスサイクルの間には、回復クロック数指定レジスタ105により指定された数のアイドルクロックを挿入する。

次に、上記本発明の入出力バス制御回路において、アイドルクロック数を決定する手順を説明する。

周波数選択端子118、119、120および121には、システムの動作周波数に合わせて、例えば以下のようにスイッチ122が設定される。動作周波数が3MHz以下ならば端子118に“1”、端子119～121に“0”が印加され、動作周波数が3MHzより大きく7MHz以下の時は、端子119に“1”、他の端子118、120、121に“0”が印加され、

また、動作周波数が7MHzより大きく15MHz以下の時は、端子120に“1”、他の端子118、119、121に“0”が印加され、動作周波数が15MHzより大きく30MHz以下の時は、端子121に“1”、他の端子118、119、120には“0”が印加されるようスイッチ122は設定される。

変換器103は、回復時間設定レジスタ101の内容をデータバス102を通して取込み、端子118、119、120、121の信号値に従って変換を行ない、その値はデータバス104を通して回復クロック数指定レジスタ105へ格納される。

ここで変換器103の詳細な動作を第2図を参照して説明する。第2図に、変換器103のブロック図を示す。第2図の変換器103は、データバス102の値を5bit右方向へシフトするシフト201、シフト201の出力を1bit右方向へシフトするシフト202、シフト202の出力を1bit右方向へシフトするシフト203およびシフト203の出力を右方向へ1bitシフトするシフト204を具備する。さらにシフト201～204の出力は、それぞれ周波数

選択端子121、120、119、118が“1”の時に導通し、“0”の時に遮断するトランスフェーゲート205、206、207、208をそれぞれ介してデータバス104に接続されている。

例えば、回復時間設定レジスタ101が400ns（2進表示で“110010000”）に設定され、動作周波数が6MHzであったとする。この場合、端子119は“1”、他の端子118、120、121は“0”に設定され、トランスフェーゲート207のみが導通している。従って、回復クロック数指定レジスタ105には、データバス104を介してシフト203の出力が入力される。シフト203は3（2進表示で“11”）を出力し、回復時間指定レジスタ105に格納される。この場合、実際の回復時間は、

$$\frac{1 \text{ [秒]}}{6 \text{ [MHz]}} \times 3 = 500 \text{ [ns]}$$

となる。

ここで動作周波数が14MHzに変更されたとする。この場合、端子120は“1”、他の端子118、119、121は“0”に設定され、トランスフェーゲート

206 のみが導通している。従って、回復クロック数指定レジスタ105には、シフト202の出力“6”（2進表示で“110”）が入力される。この場合、実際の回復時間は、

$$\frac{1 \text{ [ns]}}{14 \text{ [MHz]}} \times 6 = 428 \text{ [ns]}$$

となる。

以上のように、本発明の入出力バスサイクル制御回路は、システムの動作周波数が変わっても回復時間を設定値以上の適当な値に保つ。また、本実施例の入出力バスサイクル制御回路において、スイッチ122 をシステムの動作周波数を変更するスイッチと連動させると、自動的に上記の動作を行う。

実施例 2

実施例 1 では周波数の変更時に、スイッチ122 を操作して周波数選択端子への信号の印加を変更しなければならなかった。本実施例の入出力バスサイクル制御回路では、周波数選択端子118、119、

118、119、121 を“0”に、また、15～30MHzの時は、端子121 を“1”、他の端子118、119、120 を“0”に設定する。他の動作は、実施例 1 の回路と全く等しいので説明を省略する。

以上のように、本実施例の入出力バスサイクル制御回路は、周波数に変更があっても端子118、119、120、121 の印加値が自動的に設定され、設定された回復時間設定レジスタ101 の値は、常に最適なクロック数に更新される。

発明の効果

以上説明したように、本発明の入出力バスサイクル制御回路は、設定された回復時間を任意の周波数に対して必要なアイドルクロック数に変換できる機能を有する。従って、システムの動作周波数の変更に対しても容易に対応が可能であり、複数の動作周波数を切り換えて使用するシステム等に最適である。

(4)

120、121 への信号印加を自動的に行なう。

第 3 図に、本発明の入出力バスサイクル制御回路の第 2 の実施例のブロック図を示す。本実施例の入出力バスサイクル制御回路は、実施例 1 のスイッチ122 に代えて周波数測定器302 および比較器303 を具備する。それ以外の構成は、実施例 1 の回路と全く等しいので、以下、実施例 1 と異なるところを中心に説明する。

本実施例の入出力バスサイクル制御回路では、周波数選択端子118、119、120 および121 は、比較器303 に接続されている。周波数測定器302 は、クロック信号301 を入力としてシステムの動作周波数を測定し、比較器303 へ出力する。比較器303 は周波数測定器302 から入力された周波数値を判別し、3MHz以下ならば端子118 を“1”にして他の端子119、120、121 を“0”にする。以下、実施例 1 のスイッチ122 の設定と全く同様に、周波数値が3～7MHzの間ならば端子119 を“1”にして他の端子118、120、121 を“0”に、7～15MHzならば120 を“1”に、他の端子

4. 図面の簡単な説明

第 1 図は、本発明の第 1 の実施例のブロック図であり、

第 2 図は、第 1 図の変換器103 のブロック図であり、

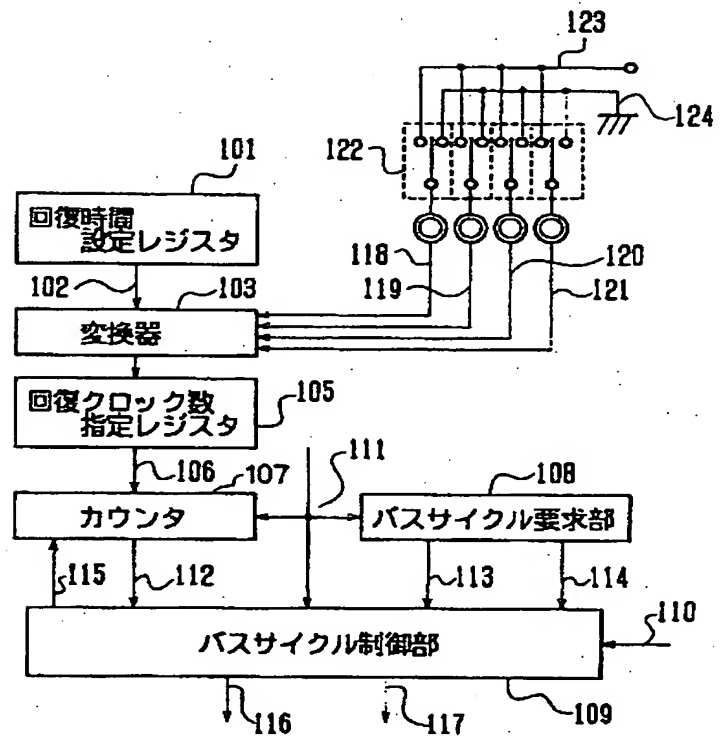
第 3 図は、本発明の第 2 の実施例のブロック図である。

〔主な参照番号〕

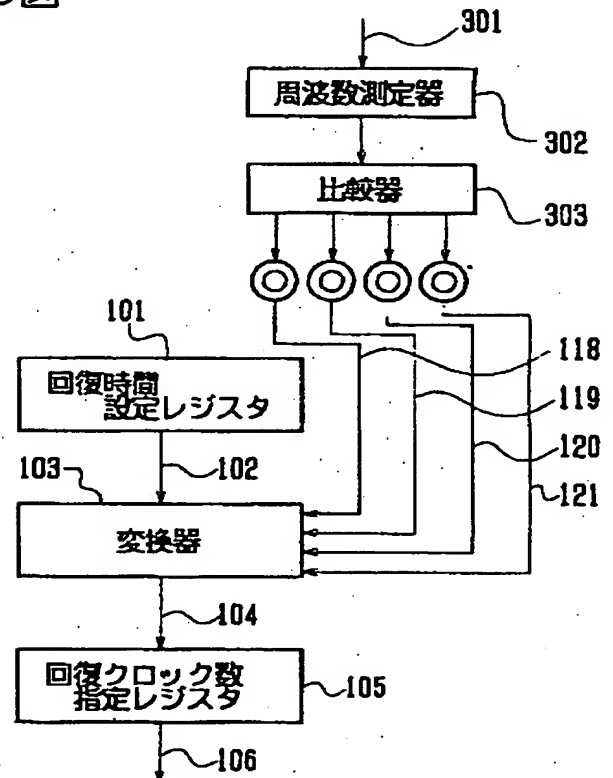
- 101 ……回復時間設定レジスタ、
- 102 ……データバス、103 ……変換器、
- 104 ……データバス、
- 105 ……回復クロック数指定レジスタ、
- 106 ……データバス、107 ……カウンタ、
- 108 ……バスサイクル要求部、
- 109 ……バスサイクル制御部、
- 110 ……レディ信号、111 ……クロック信号、
- 112 ……ゼロ検出信号、
- 113 ……メモリバスサイクル要求信号、
- 114 ……入出力バスサイクル要求信号、

(5)

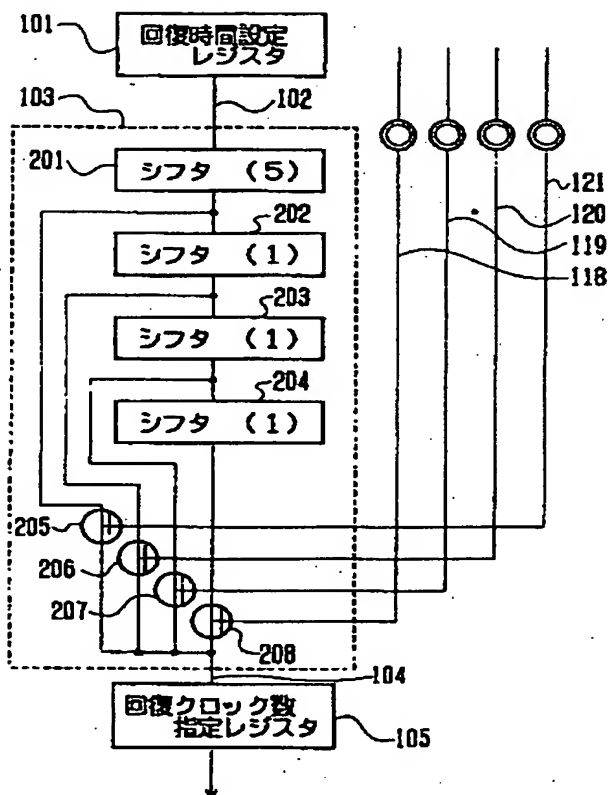
第1図



第3図



第2図



- 115・・・入出力バスサイクル開始信号、
 116・・・メモリバスサイクル開始信号、
 117・・・入出力バスサイクル開始信号、
 118、119、120、121・・・周波数選択端子、
 122・・・スイッチ、123・・・電源線、
 124・・・接地線、201・・・右方向5bitシフト、
 202、203、204・・・右方向1bitシフト、
 205、206、207、208・・・トランスファークロック、
 301・・・クロック信号、302・・・周波数測定器、
 303・・・比較器

特許出願人 日本電気株式会社
 代理人 弁理士 越 場 隆